

09/80605 日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JP00/5629

23.08.00

REC'D 12 SEP 2000
WIPO
PCT

#7
Project
4/30/03
AS

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

1999年 9月 21日

EKK

出 願 番 号
Application Number:

平成 11 年特許願第 267168 号

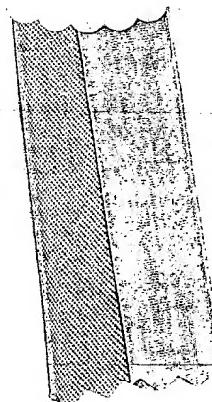
出 願 人
Applicant(s):

株式会社富士通ゼネラル



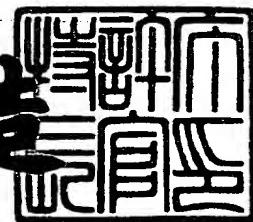
PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2000年 7月 21日



特 訸 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特 2000-3057941

【書類名】 特許願
 【整理番号】 G9901102
 【提出日】 平成11年 9月21日
 【あて先】 特許庁長官 殿
 【国際特許分類】 H03L 7/08
 【発明者】

【住所又は居所】 神奈川県川崎市高津区末長1116番地 株式会社富士
 通ゼネラル内

【氏名】 木村 卓士

【発明者】

【住所又は居所】 神奈川県川崎市高津区末長1116番地 株式会社富士
 通ゼネラル内

【氏名】 中島 正道

【特許出願人】

【識別番号】 000006611

【住所又は居所】 神奈川県川崎市高津区末長1116番地

【氏名又は名称】 株式会社 富士通ゼネラル

【代表者】 八木 紹夫

【代理人】

【識別番号】 100083194

【住所又は居所】 東京都新宿区四谷3丁目13番7号 三栄ビル3階

【弁理士】

【氏名又は名称】 長尾 常明

【電話番号】 03(3352)2421

【手数料の表示】

【予納台帳番号】 050681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9103067

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 P L L回路

【特許請求の範囲】

【請求項 1】

~~位相比較器、ループフィルタ、電圧制御発振器、および分周器を順次ループ接続した P L L回路において、~~

P L L動作が停止したことを検出する動作停止検出手段と、該動作停止検出手段が動作停止を検出すると前記電圧制御発振器をその発振周波数が低くなるよう制御する制御手段とを具備させたことを特徴とする P L L回路。

【請求項 2】

前記動作停止検出手段は、前記分周器の出力信号の有無を検出する手段であることを特徴とする請求項 1 に記載の P L L回路。

【請求項 3】

前記動作停止検出手段は、前記電圧制御発振器の制御電圧が所定値以上の周波数を発振させる値となったか否かを検出する手段であることを特徴とする請求項 1 に記載の P L L回路。

【請求項 4】

前記動作停止検出手段は、前記電圧制御発振器の発振周波数が所定値を超る値となったか否かを検出する手段であることを特徴とする請求項 1 に記載の P L L回路。

【請求項 5】

前記制御手段は、前記位相比較器の出力を前記電圧制御発振器の発振周波数が低下する値に切り替える手段であることを特徴とする請求項 1 乃至 4 に記載の P L L回路。

【請求項 6】

前記制御手段は、前記位相比較器に入力する比較信号を前記電圧制御発振器の発振周波数が低下するよう切り替える手段であることを特徴とする請求項 1 乃至 4 に記載の P L L回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、基準周波数信号と特定の関係をもった周波数信号を発生して出力するPLL回路に係り、特にPLL動作が停止した場合の対策を施す技術に関するものである。

【0002】

【従来の技術】

PLL回路は、図7に示すように、基準信号 f_r と比較信号 f_c の位相を排他的論理和回路等で構成した位相比較器101で比較し、その比較結果の信号をループフィルタ102で平滑して制御電圧 V_c とし、その制御電圧 V_c によって電圧制御発信器（VCO）103で発振する周波数を制御し、そこで得られる周波数信号 f_{ck} を出力周波数信号としている。この周波数信号 f_{ck} は分周器104に入力され、ここで周波数が $1/N$ されて位相比較器101に比較信号 f_c として入力する。

【0003】

このPLL回路では、 f_r を基準信号 f_r の周波数、 f_c を比較信号 f_c の周波数、 f_{ck} を発振周波数信号 f_{ck} の周波数とすると、同期状態では、

$$f_r = f_c \quad , \quad f_c = f_{ck}/N$$

の関係式が満足され、比較信号 f_c が基準信号 f_r に常に追従するよう全体が動作する。

【0004】

ところで、アナログの映像信号をデジタル処理するとき、サンプリングクロックを生成するために上記したようなPLL回路が使用されるが、このサンプリングクロックの周波数は、映像信号の種類によって10MHz～100MHz以上の広い範囲に及ぶ。

【0005】

このため、電圧制御発振器103としては、その発振周波数の最大／最小周波数比が2倍以上、発振周波数は200MHz以上になる場合も要求され、それを力

バーできるような広い周波数範囲の電圧制御発振器が使用される。

【0006】

ところが、このような広い周波数範囲の電圧制御発振器をもつPLL回路では、発振周波数が必要以上に高くなると、PLL回路を構成する一部の回路が追従できなくなり、PLL動作が停止してしまうことがある。このような事態は、例えば、基準信号 f_r が急激に変化（入力信号のon/off等）して同期安定状態に至るまでの期間に発振周波数が大きく変動したり、基準信号 f_r の周波数を大きく上昇させて発振周波数を上昇させたとき等に発生する。

【0007】

このような場合、分周回路104の分周動作が追従できなくなり、その出力信号、つまり比較信号 f_c が消滅するので、位相比較器101は電圧制御発振器103の発振周波数が低下したと判断してその発振周波数を高くするように働き、最大発振周波数にまで制御電圧 V_c を押し上げてしまう。このような状態に陥ると、それが一時的なものであっても、もはや自力で正常に復帰することは不可能となる。

【0008】

そこで従来では、電圧制御発振器103の発振周波数 f_{ck} がPLL回路を構成する他の回路の動作限界周波数を超えないようにするため、その電圧制御発振器103とループフィルタ102の間に図8に示すような電圧制限回路105を挿入して、制御電圧 V_c に上限を設けていた。

【0009】

この図8の電圧制限回路105では、定電圧ダイオードZDにより制御電圧 V_c の最大値を V_d に制限し、図9に示すように、電圧制御発振器103の発振周波数を最大値 f_{max} より充分低い f_d に制限している。この結果、電圧制御発振器103で発振する周波数 f_{ck} は、最低周波数 f_{min} ～上限周波数 f_d の範囲となり、上記した問題を回避することができる。

【0010】

【発明が解決しようとする課題】

しかしながら、このように電圧制御発振器103に入力する制御電圧 V_c を電

圧制限回路105により直接制限する手法では、電圧制限回路105の制限素子である定電圧ダイオードZDの特性のバラツキ、制御電圧Vcに対する電圧制御発振器103での発振周波数f ckのバラツキを新たに補正しなければならず、またPLL回路の動作周波数（目標周波数）から充分な余裕を持たせてその発振周波数の制限を行わなければならないという問題があった。

【0011】

本発明は以上のような点に鑑みたもので、その目的は、電圧制御発振器が異常発振してPLL回路が動作停止しても簡単に正常復帰できるようにすることである。

【課題を解決するための手段】

上記課題を解決するための第1の発明は、位相比較器、ループフィルタ、電圧制御発振器、および分周器を順次ループ接続したPLL回路において、PLL動作が停止したことを検出する動作停止検出手段と、該動作停止検出手段が動作停止を検出すると前記電圧制御発振器をその発振周波数が低くなるよう制御する制御手段とを具備させて構成した。

【0012】

第2の発明は、第1の発明において、前記動作停止検出手段は、前記分周器の出力信号の有無を検出する手段であるよう構成した。

【0013】

第3の発明は、第1の発明において、前記動作停止検出手段は、前記電圧制御発振器の制御電圧が所定値以上の周波数を発振させる値となったか否かを検出する手段であるよう構成した。

【0014】

第4の発明は、第1の発明において、前記動作停止検出手段は、前記電圧制御発振器の発振周波数が所定値を超える値となったか否かを検出する手段であるよう構成した。

【0015】

第5の発明は、第1乃至4の発明において、前記制御手段は、前記位相比較器の出力を前記電圧制御発振器の発振周波数が低下する値に切り替える手段である

よう構成した。

【0016】

第6の発明は、第1乃至4の発明において、前記制御手段は、前記位相比較器に入力する比較信号を前記電圧制御発振器の発振周波数が低下するよう切り替える手段であるよう構成した。

【0017】

【発明の実施の形態】

【第1の実施形態】

図1は本発明の第1の実施形態のPLL回路のブロック図である。1は基準信号frと比較信号fcの位相を比較してその比較結果に応じた信号を出力する位相比較器、2は比較信号を平滑するループフィルタ、3は入力する制御電圧Vcに比例した周波数の信号f ckを発振する電圧制御発振器、4は入力信号の周波数を1/Nに分周する分周器、5は比較信号fcの有無を検出する比較信号有無検出器である。

【0018】

このように、本実施形態では、分周器4の出力側に比較信号有無検出器5を接続して、そこで比較信号fcが無いことが検出されると、位相比較器1から出力する信号が、電圧制御発振器3の発振周波数f ckを低い周波数に制御する信号となるようにした。

【0019】

図2はこの比較信号有無検出器5の内部構成を示すブロック図である。51, 52はDFF回路、53, 54はインバータである。ここでは、DFF回路51のD端子にHレベル信号を、ck端子に独立して作成した検定信号（比較信号fcの1/2以下の周波数でデューティ比が50%）ftを入力し、R（リセット）端子にインバータ54を介して比較信号fcを入力する。また、DFF回路52ではそのD端子にDFF回路51のQ1端子の信号を、ck端子に検定信号ftをインバータ53で反転して入力する。

【0020】

図3はこの比較信号有無検出器5の動作のタイミングチャートである。DFF

回路51のQ1端子は、検定信号 f_t が立ち上がる毎にD端子のHレベルを検知してHレベルとなり、比較信号 f_c が立ち上るとリセットされてLレベルとなる。DFF回路52はc_k端子の電位が立ち上るときのD端子のデータをQ2端子に出力する。

【0021】

よって、比較信号 f_c が所定の周期でH→L→H→…と変化しているときは、DFF回路51のQ1端子が検定信号 f_t の立ち上がりでHレベルになってしまってもその後比較信号 f_c の立ち上がりでリセットされるので、その後に検定信号 f_t が立ち下がっても、DFF回路52のQ2端子はHレベルとなることはない。

【0022】

しかし、比較信号 f_c が無くなる、つまりHレベルに変化しなくなるとDFF回路51はリセットされなくなり、検定信号 f_t が立ち下がるときにDFF回路52がQ1端子のHレベル信号を検知してQ2端子にHレベルの信号として出力し、以後これを継続する。なお、この後に比較信号 f_c が再度変化を開始すると、DFF回路52のQ2端子はLレベルに復帰する。

【0023】

図4は比較信号有無検出器5で検出した信号により制御される位相比較器1の内部構成を示すブロック図である。11は排他的論理和ゲート等で構成される位相比較部、12はスリーステートバッファ、13はオアゲート、14はスイッチ回路である。位相比較部11は、比較信号 f_c が基準信号 f_r より位相が進んでいるときは出力端子11aをLレベルにし、反対に遅れているときはHレベルにし、位相比較時以外では不定となる。また、この位相比較部11の制御端子11bは、比較信号 f_c と基準信号 f_r に位相差がある時はHレベルに、それ以外ではLレベルになる。

【0024】

ここでは、オアゲート13で位相比較部11の制御端子11bから出力される制御信号と比較信号有無検出器5で検出した検出信号V_aの論理和を取り、バッファ12の制御端子に送る。また、このバッファ12の入力側に位相比較部11の出力端子11aの信号をスイッチ回路14を介して入力させる。また、このス

イッチ回路14については、検出信号V_aがHレベルになると接地側（Lレベル）に切り替わる。

【0025】

よって、比較信号有無検出器5の検出信号V_aが信号有り、つまりLレベルのときは、バッファ12は位相比較部11の制御端子11bの信号に従って制御される。すなわち、~~比較信号f_cと基準信号f_rに位相ずれがある期間は制御端子11bがHレベルとなるので、バッファ12はONして入出力間を導通させ、位相比較部11の出力端子11aの信号がスイッチ回路14を経由してそのまま出力し、通常の動作をする。位相ずれがないとき（PLLロック時）は、制御端子11bの信号がLレベルとなり、バッファ12の出力はハイインピーダンスとなるが、後段のループフィルタ2で保持されている信号によって、電圧制御発振器3は一定の周波数信号を発振する。~~

【0026】

一方、比較信号有無検出器5の検出信号V_aが信号無し、つまりHレベルときは、スイッチ回路14の出力がLレベルとなり、またバッファ12はONして入出力間を導通させるので、スイッチ回路14から出力するLレベルの信号をそのまま出力する。よって、ループフィルタ2にはLレベルの信号が入力して、電圧制御発振器4に入力する制御電圧V_cが低くなり、そこで発振する周波数が低くなる。

【0027】

図5は電圧制御発振器3の動作特性を示す図である。f_oは周波数信号f_{ck}の目的周波数、f_{max}は発振上限周波数、f_{min}は発振下限周波数、f_{limit}は分周器4が動作限界となる入力周波数である。発振周波数f_{ck}がこの動作限界周波数f_{limit}を超えると、比較信号f_cが消滅するので、前記したように位相比較器1の出力信号がLレベルに制御され電圧制御発振器3の発振周波数が低い周波数に制御される。このようにして発振周波数f_{ck}が低下して動作限界周波数f_{limit}を下回ると、分周器4が動作を再開してPLL回路が本来の動作に戻り、その発振周波数f_{ck}が目的の周波数f_oに落ち着くようになる。

【0028】

このように本実施形態では、電圧制御発振器3が異常発振して分周器4の動作が停止しても、これが検知されて電圧制御発振器3がその発振周波数を低下する方向に制御されるので、直ちに正常に復帰されるようになる。

【0029】

[第2の実施形態]

~~図6は第2の実施形態のPLL回路の構成を示すブロック図である。ここでは~~、分周器4と位相比較器1との間にスイッチ回路6を接続して、常時はそのスイッチ回路6により分周器4と位相比較器1が接続されるように制御しておいて、比較信号有無検出器5で比較信号無しが検出されたとき、このスイッチ回路6を制御して、位相比較器1に入力する比較信号 f_c として、疑似パルス発生器7からの疑似パルスが入力するように構成した。

【0030】

この疑似パルスとしては、正常動作時に分周器4から出力する周波数信号の周波数よりも高い周波数の信号であればよい。このように本実施形態でも、電圧制御発振器3が異常発振して分周器4の動作が停止したとき、直ちに正常に復帰させることができる。

【0031】

[その他の実施形態]

なお、以上の実施形態では比較信号有無検出器5の検出信号 V_a により位相比較器1の出力信号を強制的に特別な信号（Lレベル信号）にしたり、その位相比較器1に比較信号として特別な疑似パルスが入力するようにしたが、これらに限られるものではない。例えば、比較信号有無検出器5の検出信号 V_a により、電圧制御発振器3の制御電圧 V_c を直接制御して、その発振周波数が特定の低い周波数になるよう制御してもよい。このときの該特定の低い周波数には特別の精度は要求されない。

【0032】

また、以上ではPLL回路の動作停止状態を分周器4の出力信号の有無により判定していたが、電圧制御発振器3の制御電圧 V_a が所定レベル以下になったか否かを別に設けた電圧比較器により検出したり、電圧制御発振器3の発振周波数

f_{ck} が所定値以上の周波数になったか否かを検出して、判定してもよい。後者の場合、周波数 f_{ck} の信号を周波数／電圧変換器で電圧信号に変換し、その電圧信号を電圧比較器により所定値と比較すればよい。

【0033】

【発明の効果】

以上から本発明によれば、電圧制御発振器の発振周波数が所定値を超えてPLL回路が動作停止したとき、簡単な構成により速やかに正常に復帰させることができるという利点がある。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態のPLL回路のブロック図である。

【図2】 比較信号有無検出器のブロック図である。

【図3】 比較信号有無検出器の動作のタイミングチャートである。

【図4】 位相比較器のブロック図である。

【図5】 異常発振時の電圧制御発振器の強制復帰の動作特性図である。

【図6】 本発明の第2の実施形態のPLL回路のブロック図である。

【図7】 従来の一般的なPLL回路のブロック図である。

【図8】 電圧制限回路の回路図である。

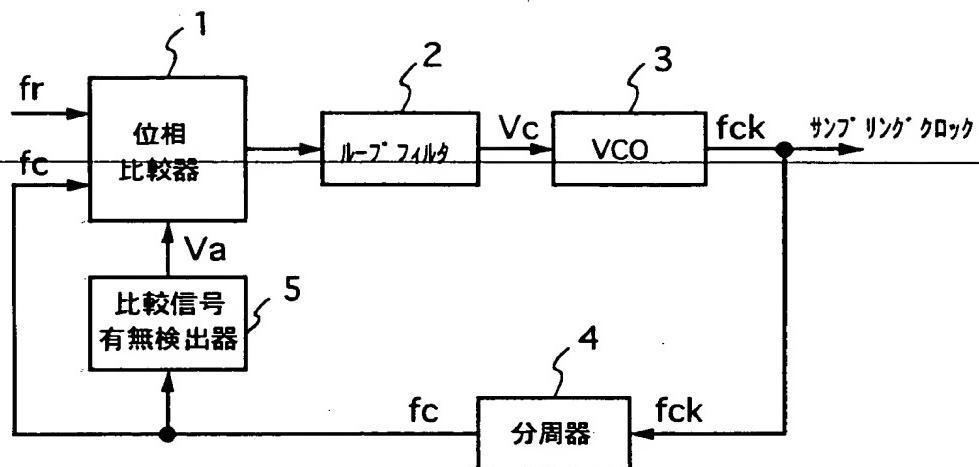
【図9】 電圧制御発振器の制御電圧に対する発振周波数の特性図である。

【符号の説明】

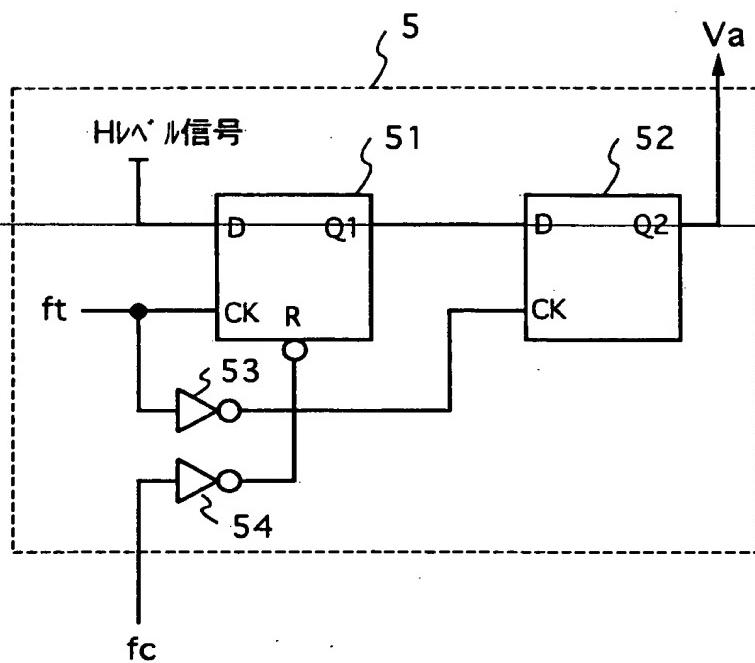
1：位相比較器、2：ループフィルタ、3：電圧制御発振器（VCO）、4：分周器、5：比較信号有無検出器、6：スイッチ回路、7：疑似パルス発生器。

【書類名】 図面

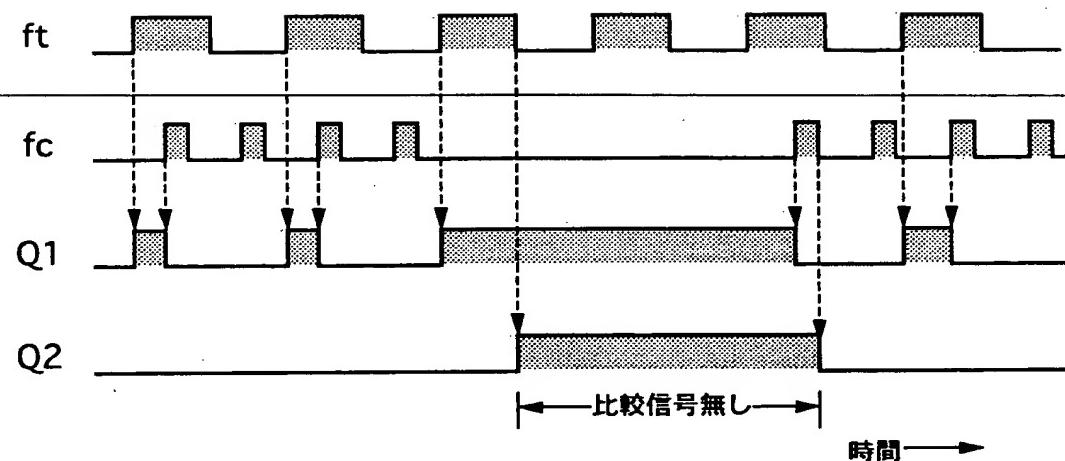
【図 1】



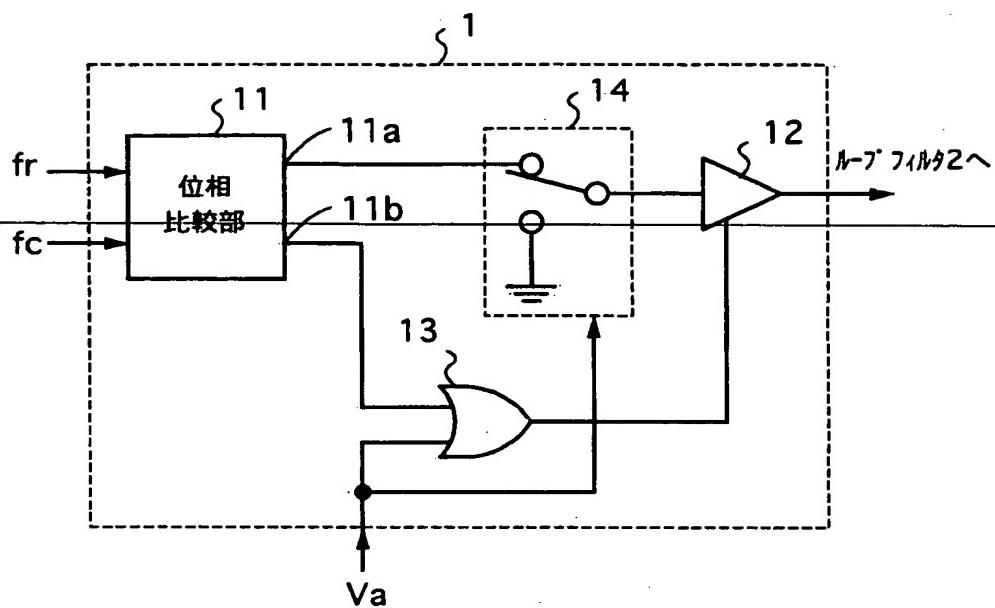
【図 2】



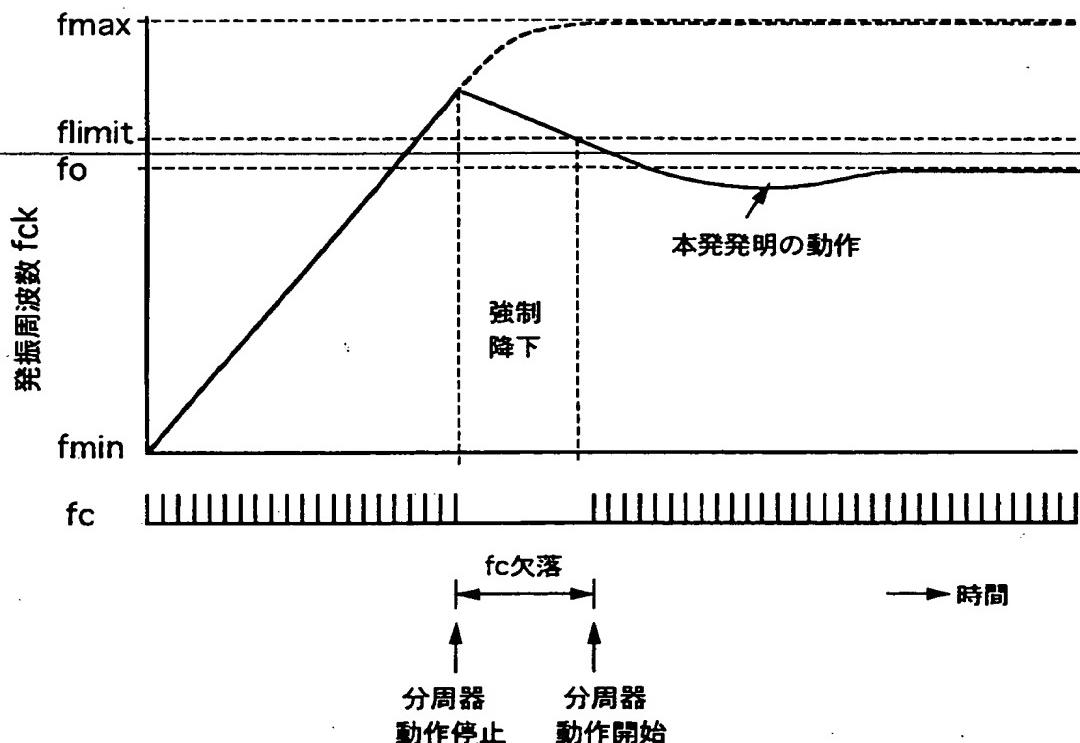
【図 3】



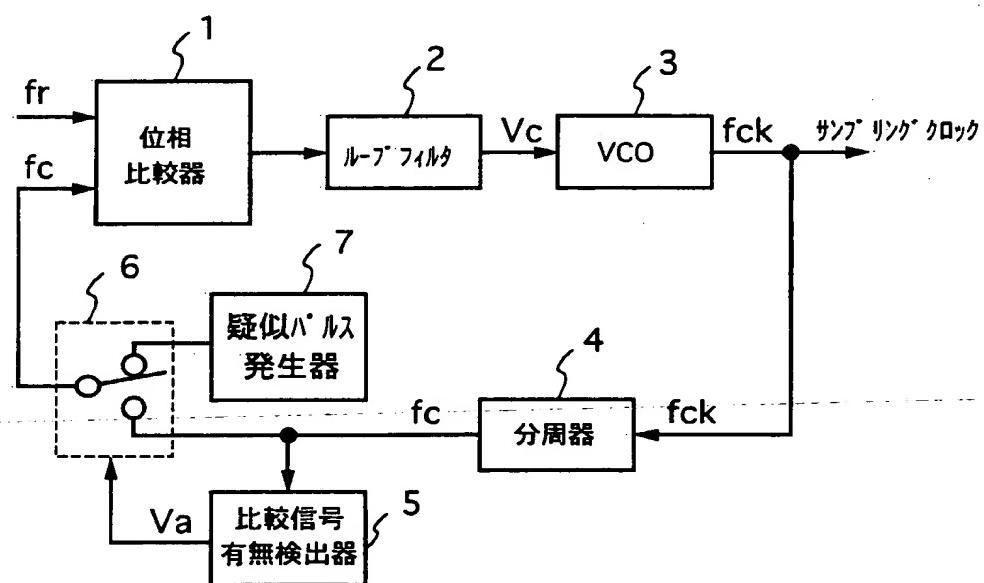
【図4】



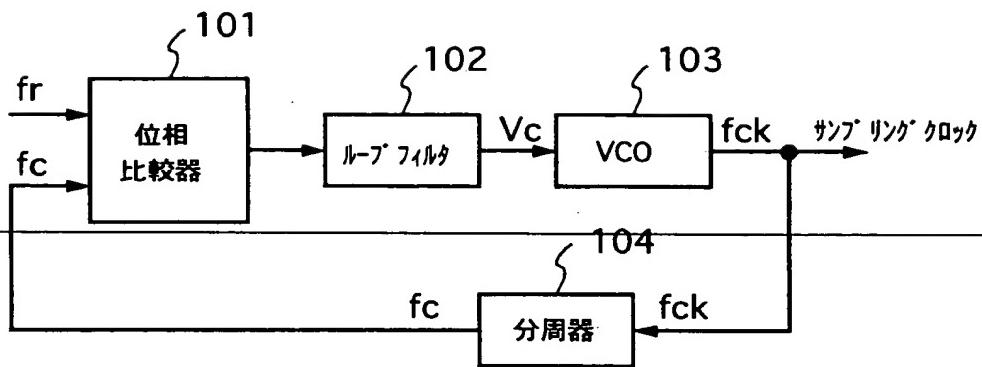
【図 5】



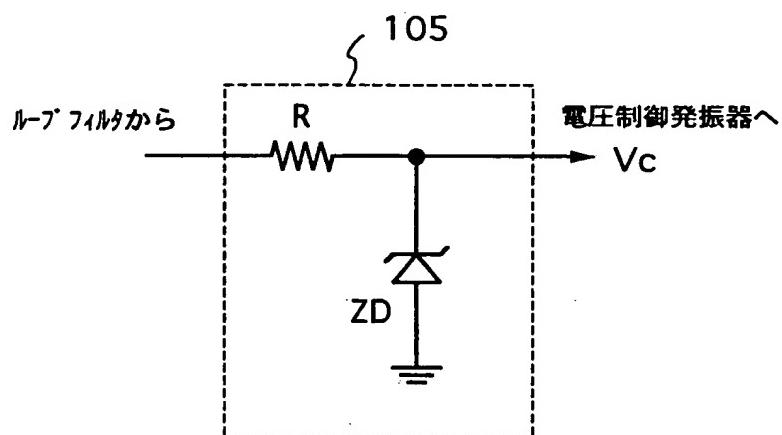
【図 6】



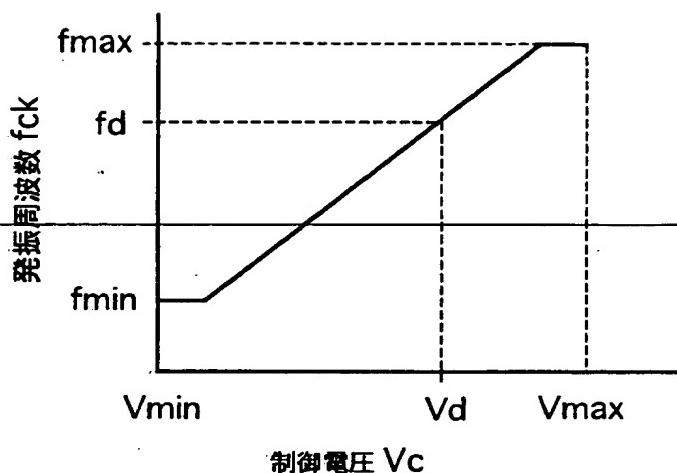
【図 7】



【図 8】



【図9】



【書類名】 要約書

【要約】

【課題】 電圧制御発振器の発振周波数が異常発振してPLL回路が動作停止したとき、速やかに復帰させる。

【解決手段】 分周器4から出力する比較信号 f_c の有無を検出し、比較信号 f_c 無しのとき位相比較器4の出力信号をレベルに制御して電圧制御発振器3の発振周波数を低下させる。

【選択図】 図1

出願人履歴情報

識別番号 [000006611]

1. 変更年月日 1990年 8月27日
[変更理由] 新規登録
住 所 神奈川県川崎市高津区末長1116番地
氏 名 株式会社富士通ゼネラル

THIS PAGE BLANK (USPTO)